

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 06 月 05 日
Application Date

申請案號：092115220
Application No.

申請人：財團法人工業技術研究院
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 7 月 29 日
Issue Date

發文字號：09220766500
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	多頻帶低雜訊放大器
	英 文	MULTI-BAND LOW-NOISE AMPLIFIER
二、 發明人 (共4人)	姓 名 (中文)	1. 許峻銘 2. 郭明清
	姓 名 (英文)	1. June-Ming Hsu 2. Ming-Ching Kuo
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北市和平東路一段55巷1弄4號20樓 2. 嘉義縣義竹鄉義竹村138-1號
	住居所 (英 文)	1. 20F1., No. 4, Alley 1, Lane 55, Sec. 1, Heping E. Rd., Daan Chiu, Taipei, Taiwan 106, R.O.C. 2. No. 138-1, Yiju Tsuen, Yiju Shiang, Chiai, Taiwan 624, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 財團法人工業技術研究院
	名稱或 姓 名 (英文)	1. Industrial Technology Research Institute
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹縣竹東鎮中興路四段195號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. NO.195, Sec. 4, Chung Hsing Rd., Chutung Hsinchu, Taiwan 310, R.O.C.
	代表人 (中文)	1. 翁政義
	代表人 (英文)	1. CHENG-I WENG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	3. 陳新福 4. 傅子恆
	姓 名 (英文)	3. Shin-Fu Chen 4. Tz-Heng Fu
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 台南市北區南園街109巷84號 4. 台北市大安路2段132巷21號5樓
	住居所 (英 文)	3. No. 84, Lane 109, Nanyuan St., Bei Chiu, Tainan, Taiwan 704, R.O.C. 4. 5Fl., No. 21, Lane 132, Sec. 2, Daan Rd., Daan Chiu, Taipei,
三、 申請人 (共1人)	名稱或 姓 名 (中文)	Taiwan 106, R.O.C.
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：多頻帶低雜訊放大器)

本專利提供一種多頻帶低雜訊放大器包括：複數組輸入匹配電路、複數組差動對、一對共基極電晶體、一對電感、一對可變電容、一對電感與一電流源。複數組差動對其基極分別接到複數組輸入匹配電路的輸出端，其射極及集極連結在一起。一對共基極電晶體其射極接到複數對差動對的集極。一對電感其一端接到該對共基極電晶體的集極，另一端接到電源。一對可變電容其一端接到該對共基極電晶體的集極，另一端接到電源，此對電容與此對電感形成一對共振腔。一對電感一端接到複數對差動對的射極，另一端接在一起。電流源其一端接到該對電感相接的一點，另一端接到地。經由數個頻帶的低雜訊放大器中電感的共用使晶片面積及成本得以降低。

(一)、本案代表圖為：第四圖

(二)、本案代表圖之元件代表符號簡單說明：

六、英文發明摘要 (發明名稱：MULTI-BAND LOW-NOISE AMPLIFIER)

The present invention, A Multiple-Band Low Noise Amplifier, includes multiple sets of input matching circuits, multiple sets of differential pairs, one pair of common-base transistors, one pair of inductances, one pair of valuable capacitances, and one current source. Wherein an output of the multiple input matching circuits couples to a base of the multiple differential



四、中文發明摘要 (發明名稱：多頻帶低雜訊放大器)

- 41 複數對差動對；
- 42 一對共基極電晶體；
- 43 一對衰減電感；
- 44 一對負載電感；
- 45 一對可變電容；
- 46 電流源。

六、英文發明摘要 (發明名稱：MULTI-BAND LOW-NOISE AMPLIFIER)

pairs, whose emitters connect with themselves collectors. Besides, the combined emitters of the pair of common-base transistors couple to the combined collectors of the multiple pairs of the differential pairs. One end of the pair of the inductances couples to the collectors of the common-base transistors, and the other end of the inductances couples to a power supply. One end of



四、中文發明摘要 (發明名稱：多頻帶低雜訊放大器)

六、英文發明摘要 (發明名稱：MULTI-BAND LOW-NOISE AMPLIFIER)

the pair of the valuable capacitances couples to the collectors of the common-base transistors, and the other end of the valuable capacitances also couples to the power supply. Therefore, the pairs of the capacitances and the inductances form a cavity. One end of a pair of inductances couples to the emitters of the differential pair, and the other end of the pair of the inductances combines



四、中文發明摘要 (發明名稱：多頻帶低雜訊放大器)

六、英文發明摘要 (發明名稱：MULTI-BAND LOW-NOISE AMPLIFIER)

together. Besides, one end of the current source couples to the combined end of the pair of the inductances, and the other end of the current source couples to ground. This present invention using shared inductances of the multiple bands low noise amplifiers can decrease area and cost of chips.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

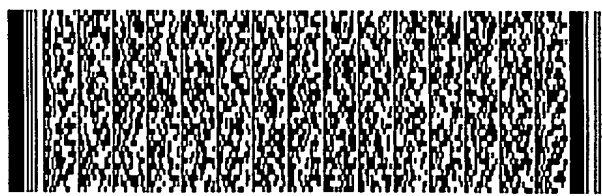
【發明所屬之技術領域】

本發明係有關於無線通訊系統電路，特別是有關於一種可用於多頻帶環境之低雜訊放大器技術。

【先前技術】

多模多頻式(multi-mode, multi-band)接收機為未來無線通訊發展的重要趨勢之一。所謂的多模(multi-mode)是指同一個接收機可處理兩種以上的通信標準。例如：一手機同時支援第三代行動通信標準(如WCDMA)與第二代行動通信標準(如GSM)，而多頻(multi-band)則是指此接收機必須能接收數個頻帶的信號，如目前市場上為主流的雙頻手機，必須能同時處理1.8GHz及900MHz的信號。至於下一世代的WCDMA/GSM雙模式接收機所要處理的信號頻帶包括有2.1GHz、1.9GHz、1.8GHz及900MHz。

目前無線通訊產品中，大多運用數個低雜訊放大器來處理多頻帶信號，例如PCS(GSM-1900) / DCS(GSM-1800) / GSM900三頻手機中，RF晶片組大多採用三個低雜訊放大器使其頻帶分別設定在1900MHz、1800MHz、900MHz等三個頻帶。為了能達到RF晶片組的精簡化並降低成本，無線收發器的趨勢是將元件例如低雜訊放大器(low-noise amplifier)及壓控震盪器(voltage controlled oscillator)等整合到晶片內。然而，如此整合卻會使其其他電路所產生的雜訊漏到低雜訊放大器中而降低信號的品質。為了克服這個問題，全差動(fully-differential)的電路架構是改善這個問題的方法之其一。



五、發明說明 (2)

第一圖為習知技術中運用全差動電路架構之低雜訊放大器，此放大器為一全差動電路，由一對差動對11，一對共基極電晶體12，一對衰減電感(degenerating inductor) 13，一對負載電感14，一個電流源15，一組輸入端匹配電路(matching network)(圖未示)組成。全差動信號由天線端經過匹配電路由差動對11的基極進入低雜訊放大器，由該對共基極電晶體12的集極取出。

此架構的好處在於：(1)藉由加衰減電感及輸入端匹配電路可將差動對11的基極所看到的阻抗轉至前級(通常為一帶通濾波器)所需的阻抗以達到功率匹配(power matching)的功能，並同時達到雜訊匹配(noise matching)。(2)由於使用電感負載，負載元件上的直流跨壓減少，因此可降低所需的電壓源或改善線性度。(3)可藉由選擇負載電感的大小抵銷輸出端的寄生電容，提高電路可達到的工作頻率。但其缺點為：(1)晶片上電感會耗費很大的面積。(2)此架構較適合窄頻的應用，在多頻帶接收機中，很難用一個這樣的低雜訊放大器覆蓋數個頻帶，因此通常需要數個這樣的低雜訊放大器，使得所佔用的面積變得更大。例如WCDMA及DCS兩頻帶的中心頻率分別在2.14GHz及1.84GHz，相差了300MHz，較難用一個如第一圖的電路達到兩者所要求的反射係數(S_{11})及雜訊指數(noise figure)，但若用兩個這樣的低雜訊放大器總共便需8個晶片上電感(on-chip inductor)，連帶使產品成本增高。



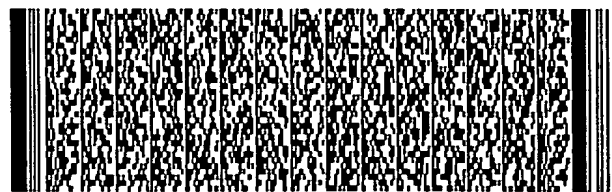
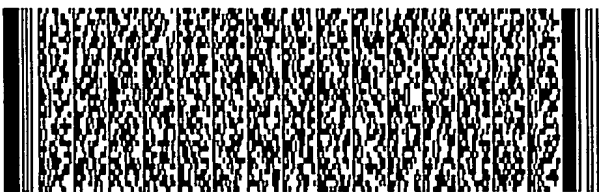
五、發明說明 (3)

因此，為了降低多頻帶接收器的成本，必須有新的電路架構，儘量共用硬體，但需使之在數個頻帶皆能達到所要求的規格。於數件專利中可見所提出之各種解決方案。例如，參見第二圖中所描述之美國第6134427號專利，其中之輸入匹配電路21，利用控制信號(CTRL)控制開關22來決定電容23與電感24是否有效，並藉此產生適合兩個頻帶的匹配電路，達到兩個頻帶的規格。又如，參見第三圖中所描述之美國第5995814號專利中的發明，其中所使用之輸入匹配電路，利用電容32、33及電感34、35四元件使得此發明在兩個頻帶的反射係數得以符合通訊規格之規定。

由於低雜訊放大器所使用之晶片上電感(on-chip inductor)數量頗多，一個全差動低雜訊放大器最多可用到4個電感，若以一個電感面積 $150\mu\text{m} \times 150\mu\text{m}$ 為例，倘若採用數個低雜訊放大器在單一晶片上，佔面積的電感將造成晶片上極大面積的佔用，連帶使成本巨增。因此，如何能於不影響效能的前提下，改善低雜訊放大器設計中電感面積佔用過大的問題，是本發明所亟欲解決的問題。

【發明概述】

為了能解決低雜訊放大器設計中電感面積佔用過大的現象，設計一個能接收如此寬頻訊號的低雜訊放大器但所使用電感不佔用過大面積即為本專利欲解決的問題。因此，本專利的目的在於提供一種可減少所需電感面積進而降低產品成本的多頻帶低雜訊放大器。



五、發明說明 (4)

本發明之一目的在於提供一種多頻帶低雜訊放大器，包括：複數組輸入匹配電路、複數組差動對、一對共基極電晶體、一對電感、一對可變電容、一對電感、以及一電流源。複數組輸入匹配電路係用於分別接收來自複數個頻帶的輸入信號。複數組差動對，其基極分別接到該複數組輸入匹配電路的輸出端，其射極及集極連結在一起。一對共基極電晶體，其射極接到該複數對差動對的集極。一對電感，其一端接到該對共基極電晶體的集極，另一端接到電源。一對可變電容，其一端接到該對共基極電晶體的集極，另一端接到電源。一對電感，其一端接到該複數對差動對的射極，另一端接在一起。以及一電流源，其一端接到該對電感相接的一點，另一端接到地。

其中，當接收之該信號為第 k 個頻帶的信號時，該電流流到第 k 對差動對，該複數組差動對中僅有第 k 對差動對導通，其餘為關閉。該對電容與該對電感形成一對共振腔，當所接收之該信號為第 k 個頻帶的信號時，可改變該可變電容值使該共振腔的共振頻率等於第 k 個頻帶的中心頻率。經由數個頻帶的低雜訊放大器中電感的共用使晶片面積及成本得以降低。

【實施方式】

本發明係揭露一種可用於多頻帶環境中的低雜訊放大器。參見第四圖，圖中所示為以第一圖電路架構為根據本發明低雜訊放大器之電路示意圖。為了減少多頻帶適用之低雜訊放大器之面積及成本，根據本發明之多頻帶低雜訊



五、發明說明 (5)

放大器架構，採用一全差動電路，由 N 對差動對(41-1 ~ 41- N 、42-1 ~ 42- N)、一對共基極電晶體42、一對衰減電感43、一對負載電感44、一對可變電容45、一個電流源46、複數組輸入匹配電路(第四圖未示)組成。該對負載電感及該對可變電容形成一對共振腔。此架構運作中，設計讓每個頻帶有各自的差動對(41-1 ~ 41- N 、42-1 ~ 42- N)，但共用同一組衰減電感43。在其一時刻，當接收機要接受第 k 頻帶的信號時，只有第 k 個差動對的電晶體(41- K 、42- K)導通，其餘差動對皆為關閉的狀態。在負載端，所有的頻帶共用一對負載電感44，並配合一對可改變電容45來調整該共振腔的共振頻率，使得當該放大器工作在第 k 頻帶時，該共振腔的共振頻率等於第 k 個頻帶的中心頻率。

此架構的優點為：1) 在複數(N)頻帶應用下，原本需要 $4 \times N$ 個電感減少到4個電感，所需的面積約為原本使用複數個如圖1電路的 $1/N$ 。2) 每個頻帶的特性可藉由調整每個差動對的電晶體大小，直流電流，及輸入端匹配電路來作最佳化。3) 由於某一時刻，當接收器要接收第 k 頻帶的信號時，只有第 k 個差動對的電晶體導通，其餘差動對皆為關閉的狀態。這些關閉的電晶體只會貢獻微小的寄生電容，不影響原來的電路特性。4) 在多頻帶的應用下，每個頻帶會需要它各自的帶通濾波器，在實際運用上可能需要一個額外的開關，選擇目前工作頻帶所對應到的帶通濾波器，這個開關除了提高成本外，亦會影響到低雜訊放大器

五、發明說明 (6)

的雜訊指數與增益，而本發明由於同一時刻，只有第k個差動對的電晶體導通，其餘差動對皆為關閉的狀態。自然提供了一開關，省去了晶片的開關，再次節省硬體成本。

第五圖為根據本發明低雜訊放大器之較佳實施例之部分電路圖，本實施例中，設定多頻帶環境為兩個頻帶。此放大器為一全差動電路，包括兩對差動對41-1及41-2，一對共基極電晶體42，一對衰減電感43，一對負載電感44，四個電容451、452、453、454，一組MOS開關51，一個電流源46，四個偏壓電阻52、兩組輸入匹配電路(未示於第五圖，請參見第六圖)。其中，41-1及41-2中的電晶體可為雙載子電晶體(bipolar transistor)，互補式金氧半電晶體(MOS transistor)或其他種類的電晶體。

本例中，設定第一頻帶的工作頻率大於第二頻帶的工作頻率。在某一時刻，當接收機要接受第一頻帶的信號時，控制信號BAND會將開關54及55切到左邊，因此第一個差動對的電晶體41-1的基極電壓接到Vb而導通，第2個差動對的電晶體41-2的基極壓接到GND而關閉。此時電流46全部流到第1個差動對的電晶體41-1。而在負載端，此時BAND信號會使MOS開關51關閉，因此此時負載端的共振頻率由451及44決定，為 $f_1 = 1 / (C_1 * L_1) 0.5$ (C1與L1分別為電容451及電感44的電容值與電感值)。此時，f1等於第一頻帶的中心頻率。

在另一時刻，當接收機要接受第二頻帶的信號時，控制信號BAND會將開關54、55切到右邊。因此，第2個差動

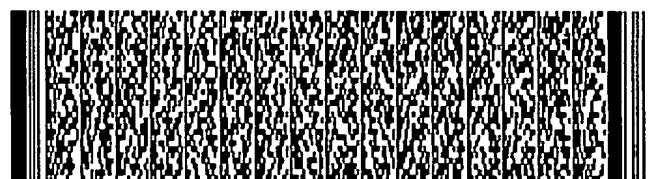


五、發明說明 (7)

對的電晶體41-2的基極電壓接到Vb而導通，第一個差動對的電晶體41-1的基極電壓接到GND而關閉。此時電流46全部流到第2個差動對的電晶體41-2。而在負載端，此時會使MOS開關51導通，因此此時負載端的共振頻率由451+453與44決定，為 $f_2 = 1 / ((C_1 + C_3) * L_1) 0.5$ (C3為電容453的電容值)。此時， f_2 等於第二頻帶的中心頻率。

第六圖顯示包含本發明低雜訊放大器之RF電路示意圖，第六圖中之低雜訊放大器之全差動電路架構係以第五圖之架構為基礎。首先，第一頻帶BAND1的信號被天線收下後經過第一頻帶BAND1的帶通濾波器621(BPF1)，再經過第一頻帶的匹配電路631後進入本發明中的第一差動對電晶體對41-1(見第五圖)，第二個頻帶的信號BAND2被天線收下後經過第二頻帶的帶通濾波器622，再經過第二頻帶的匹配電路632後進入本發明中的第2對差動對的電晶體41-2(見第五圖)。此發明的輸出則接到下一級的電路，如混頻器。由於同一時間只有一對差動對被開啟，因此被關閉的一組差動對可使所提出的低雜訊放大器與前級元件如帶通濾波器隔絕，而不會影響正在工作的頻帶。

第七圖與第八圖為本實施例實際應用在WCDMA與DCS雙頻帶環境之低雜訊放大器下之量測數據特性。其中，WCDMA及DCS的頻帶分別為2.11-2.17 GHz及1.805-1.88 GHz。WCDMA及DCS各自中心頻率距離約300Hz，RF晶片使用製程為SiGe BiCMOS製程。第七、八圖為根據本發明之實施例之低雜訊放大器反射係數(S11)量測特性圖，在WCDMA



五、發明說明 (8)

及DCS時量測到的S11分別為-18及-25dB。第九圖為根據本發明之實施例之低雜訊放大器之雜訊指數特性圖及電壓增益特性圖(這裡量測到的雜訊指數及電壓增益是包含了下一級混頻器的量測結果)，在WCDMA及DCS時量測到的電壓增益皆大於32dB，雜訊指數則分別為5.4及4.4dB。由圖中可見，在WCDMA及DCS兩個頻帶反射係數，電壓增益，雜訊指數能達到接近的數值且符合系統要求，證明此發明確實能應用在雙頻帶低雜訊放大器的設計中。

綜上所述，充份顯示出本發明多頻帶低雜訊放大器在目的及功效上均深富實施之進步性，極具產業之利用價值，且為目前市面上前所未見之新發明，完全符合發明專利之要件，爰依法提出申請。

唯以上所述者，僅為本發明之較佳實施例而已，當不能以之限定本發明所實施之範圍。即大凡依本發明申請專利範圍所作之均等變化與修飾，皆應仍屬於本發明專利涵蓋之範圍內，謹請貴審查委員明鑑，並祈惠准，是所至禱。



圖式簡單說明

【圖示簡單說明】

第一圖係顯示習知低雜訊放大器之電路圖；

第二圖係一電路圖顯示習知低雜訊放大器之匹配電路之一例；

第三圖係一電路圖顯示習知低雜訊放大器之匹配電路之另一例；

第四圖係顯示根據本發明低雜訊放大器之電路示意圖；

第五圖係顯示根據本發明低雜訊放大器之較佳實施例之部分電路圖；

第六圖係顯示包含本發明低雜訊放大器之RF電路示意圖；

第七、八圖係顯示根據本發明之實施例之低雜訊放大器反射係數(S_{11})量測特性圖；以及

第九圖係顯示為根據本發明之實施例之低雜訊放大器雜訊指數特性圖。

【符號說明】

11 差動對；

12 一對共基極電晶體；

13 一對衰減電感；

14 一對負載電感；

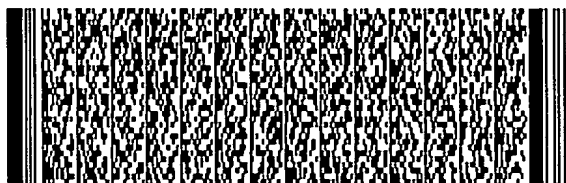
15 電流源(I1)；

21 輸入匹配電路；

22 開關；

23 電容；

24 電感；



圖式簡單說明

- 31 輸入匹配電路;
- 32 電容;
- 33 電容;
- 34 電感;
- 35 電感;
- 41 複數對差動對;
- 42 一對共基極電晶體;
- 43 一對衰減電感;
- 44 一對負載電感;
- 45 一對可變電容;
- 46 電流源;
- 411 第一差動對;
- 412 第二差動對;
- 451 電容;
- 452 電容;
- 453 電容;
- 454 電容;
- 51MOS 開關;
- 52 偏壓電阻;
- 53 控制信號BAND;
- 54 開關SW1;
- 255 開關SW。



六、申請專利範圍

1. 一種多頻帶低雜訊放大器，包括：

複數組輸入匹配電路，用於分別接收來自複數個頻帶的輸入信號；

複數組差動對，其基極分別接到該複數組輸入匹配電路的輸出端，其射極及集極連結在一起；

一對共基極電晶體，其射極接到該複數對差動對的集極；

一對電感，其一端接到該對共基極電晶體的集極，另一端接到電源；

一對可變電容，其一端接到該對共基極電晶體的集極，另一端接到電源；

一對電感，其一端接到該複數對差動對的射極，另一端接在一起；以及

一電流源，其一端接到該對電感相接的一點，另一端接到地。

2. 如申請專利範圍第1項所述之放大器，其中該電晶體可為雙載子電晶體(bipolar junction transistor)，互補式金氧半電晶體(MOS transistor)或其他種類之電晶體。

3. 如申請專利範圍第1項所述之放大器，其中當接收之該信號為第k個頻帶的信號時，該複數組差動對中僅有第k對差動對導通，其餘為關閉。

4. 如申請專利範圍第1項所述之放大器，其中該對電容與該對電感形成一對共振腔，當所接收之該信號為第k個



六、申請專利範圍

頻帶的信號時，可改變該可變電容值使該共振腔的共振頻率等於第 k 個頻帶的中心頻率。

5. 如申請專利範圍第1項所述之放大器，其中當所接收之該信號為第 k 個頻帶的信號時，該電流流到第 k 對差動對。

6. 如申請專利範圍第1項所述之放大器，其中更包括一控制訊號切換一開關使第 k 個差動對的電晶體基極電壓接到一電壓偏壓(voltage bias)而導通，同時其他差動對的基極電壓接地(ground)而關閉。

7. 一種全差動電路，其包括：

複數組輸入匹配電路，用於分別接收來自複數個頻帶的輸入信號；

複數組差動對，其基極分別接到該複數組輸入匹配電路的輸出端，其射極及集極連結在一起；

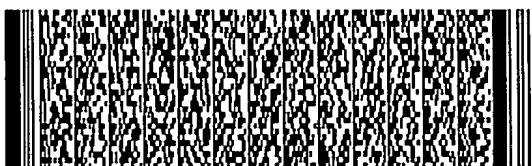
一對共基極電晶體，其射極接到該複數對差動對的集極；

一對電感，其一端接到該對共基極電晶體的集極，另一端接到電源；

一對可變電容，其一端接到該對共基極電晶體的集極，另一端接到電源，此對電容與該對電感形成一對共振腔；

一對電感，其一端接到該複數對差動對的射極，另一端接在一起；

一電流源，其一端接到該對電感相接的一點，另一端接



六、申請專利範圍

到地。

8. 如申請專利範圍第7項所述之全差動電路，其中該電晶體為雙載子電晶體，互補式金氧半電晶體或其他種類之電晶體。
9. 如申請專利範圍第7項所述之全差動電路，其中當所接收到之該信號為第 k 個頻帶的信號時，該電流流到第 k 對差動對，該複數組差動對中僅有第 k 對差動對導通其餘關閉，該可變電容值改變使該共振腔的共振頻率等於第 k 個頻帶的中心頻率。
10. 如申請專利範圍第9項所述之全差動電路，其中該全差動電路為用於多頻帶之低雜訊放大器。
11. 如申請專利範圍第7項所述之全差動電路，其中更包括一控制訊號切換一開關使第 k 個差動對的電晶體基極電壓接到一電壓偏壓而導通，同時其他差動對的基極電壓接地而關閉。
12. 一種接收機，其包括：
 - 至少一天線用於接收一信號，該信號頻帶位於第 k 段頻帶；
 - 至少一濾波器包括一輸入端接到該至少一天線之輸出端，該濾波器用於過濾所接收之該位於第 k 段頻帶信號；
 - 一低雜訊放大器包括複數組輸入匹配電路，用於分別接收來自複數個頻帶的輸入信號、複數組差動對，其基極分別接到該複數組輸入匹配電路的輸出端，



六、申請專利範圍

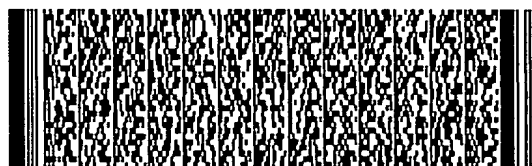
其射極及集極連結在一起、一對共基極電晶體，其射極接到該複數對差動對的集極、一對電感，其一端接到該對共基極電晶體的集極，另一端接到電源、一對可變電容，其一端接到該對共基極電晶體的集極，另一端接到電源、一對電感，其一端接到該複數對差動對的射極，另一端接在一起、以及一電流源，其一端接到該對電感相接的一點，另一端接到地。

至少一訊號轉換器包括一輸入端接到該放大器之輸出端，該訊號轉換器用於轉換該接收信號成為一中頻信號。

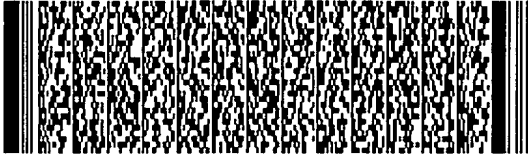
其中，當所接收到之該信號為第 k 個頻帶的信號時，該電流流到第 k 對差動對，該複數組差動對中僅有第 k 對差動對導通其餘關閉，該可變電容值改變使該共振腔的共振頻率等於第 k 個頻帶的中心頻率。

13. 如申請專利範圍第12項所述之接收機，其中該電晶體為雙載子電晶體，互補式金氧半電晶體或其他種類之電晶體。

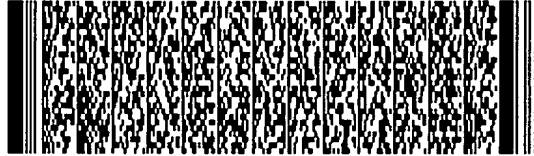
14. 如申請專利範圍第12項所述之接收機，其中更包括一控制訊號切換一開關使第 k 個差動對的電晶體基極電壓接到一電壓偏壓而導通，同時其他差動對的基極電壓接地而關閉。



第 1/21 頁



第 1/21 頁



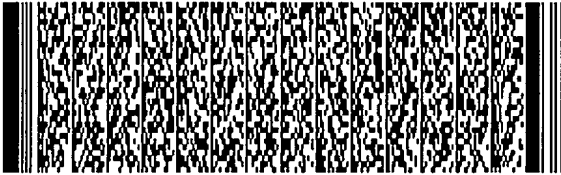
第 2/21 頁



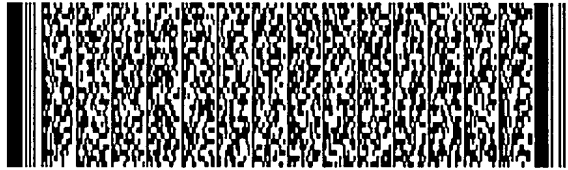
第 3/21 頁



第 3/21 頁



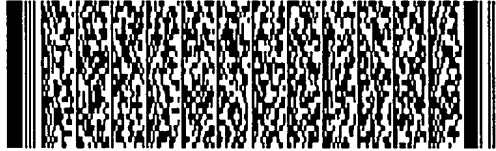
第 4/21 頁



第 5/21 頁



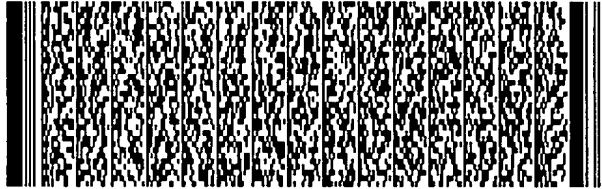
第 6/21 頁



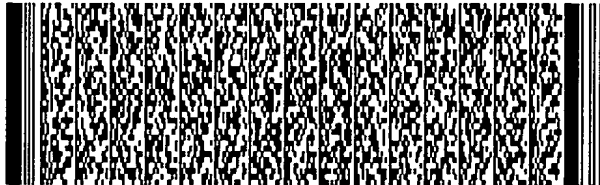
第 7/21 頁



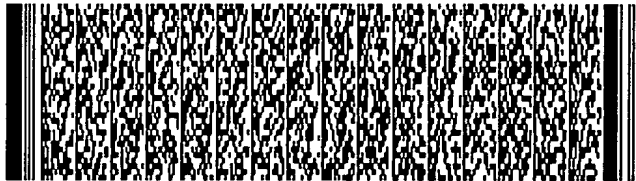
第 8/21 頁



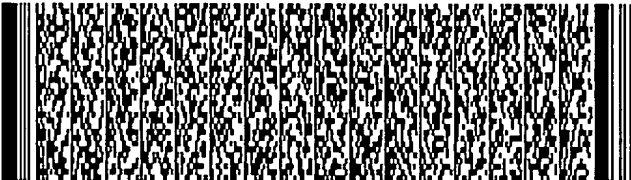
第 8/21 頁



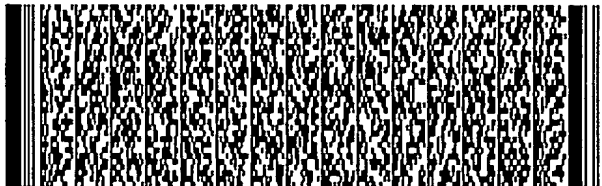
第 9/21 頁



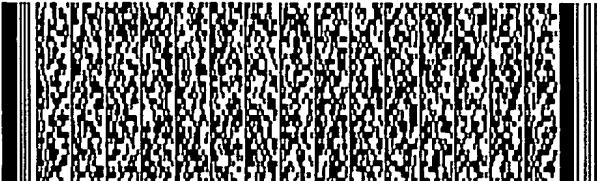
第 9/21 頁



第 10/21 頁



第 10/21 頁



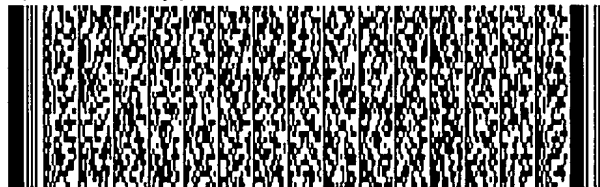
第 11/21 頁



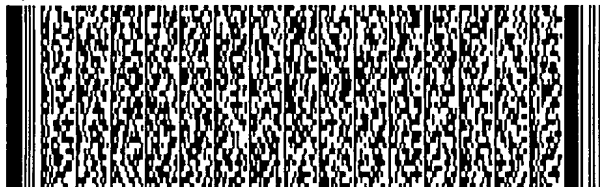
第 11/21 頁



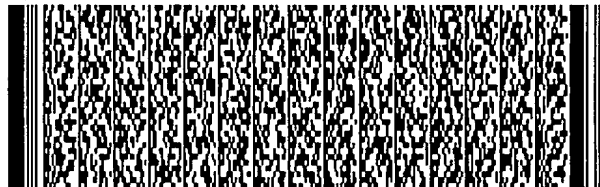
第 12/21 頁



第 12/21 頁



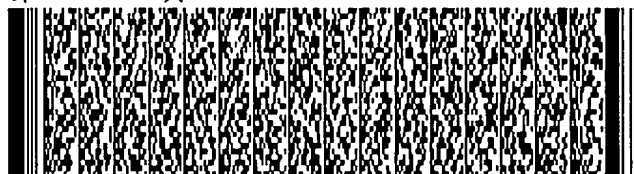
第 13/21 頁



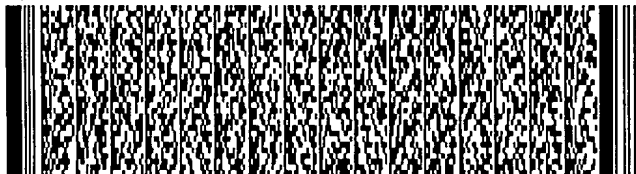
第 13/21 頁



第 14/21 頁



第 14/21 頁



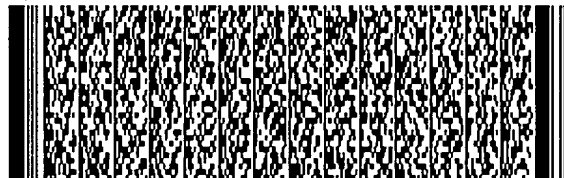
第 15/21 頁



第 15/21 頁



第 16/21 頁



第 17/21 頁



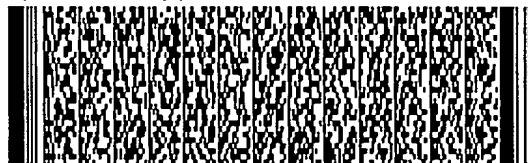
第 18/21 頁



第 18/21 頁



第 19/21 頁



第 19/21 頁



第 20/21 頁



第 20/21 頁



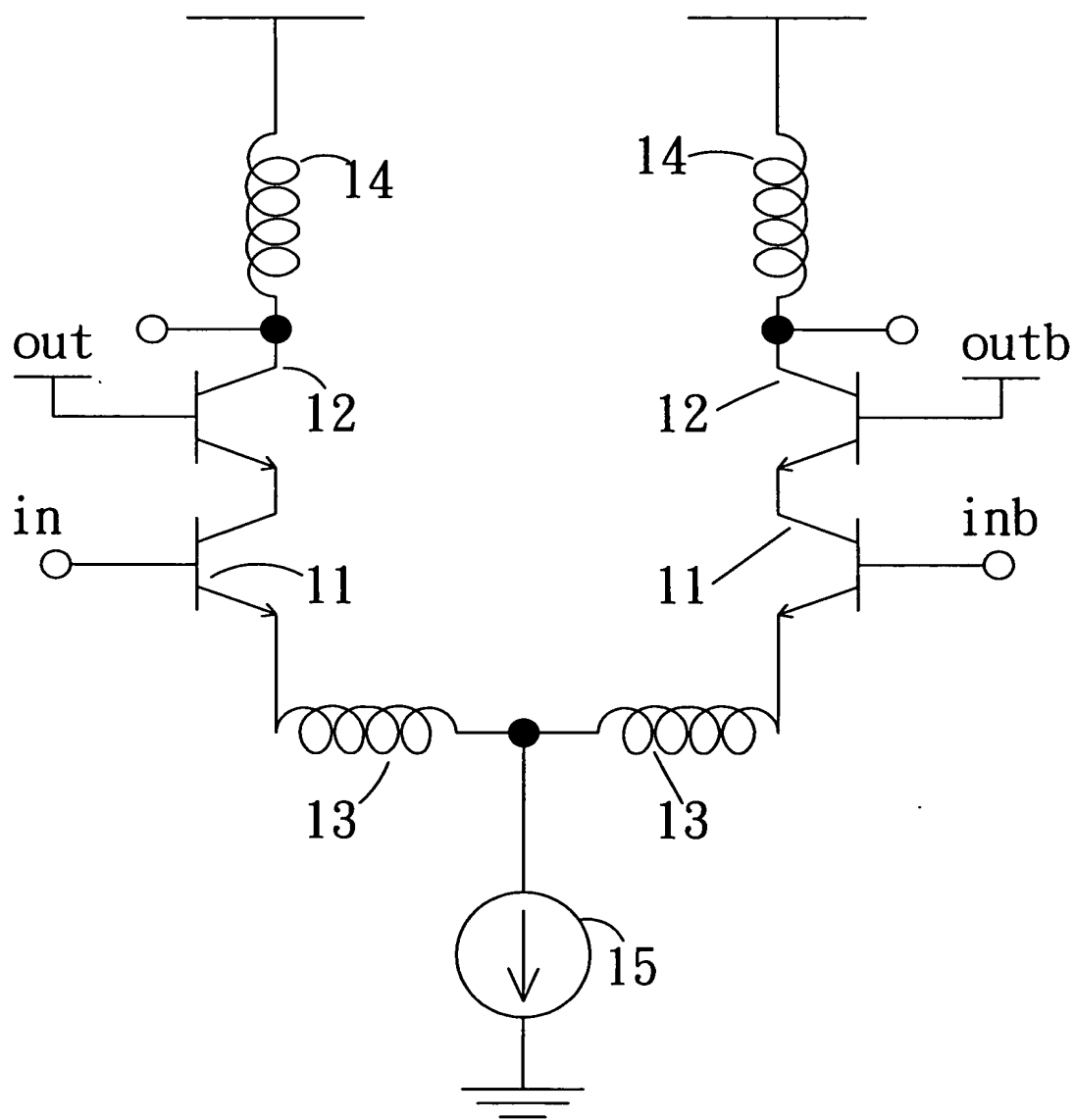
第 21/21 頁



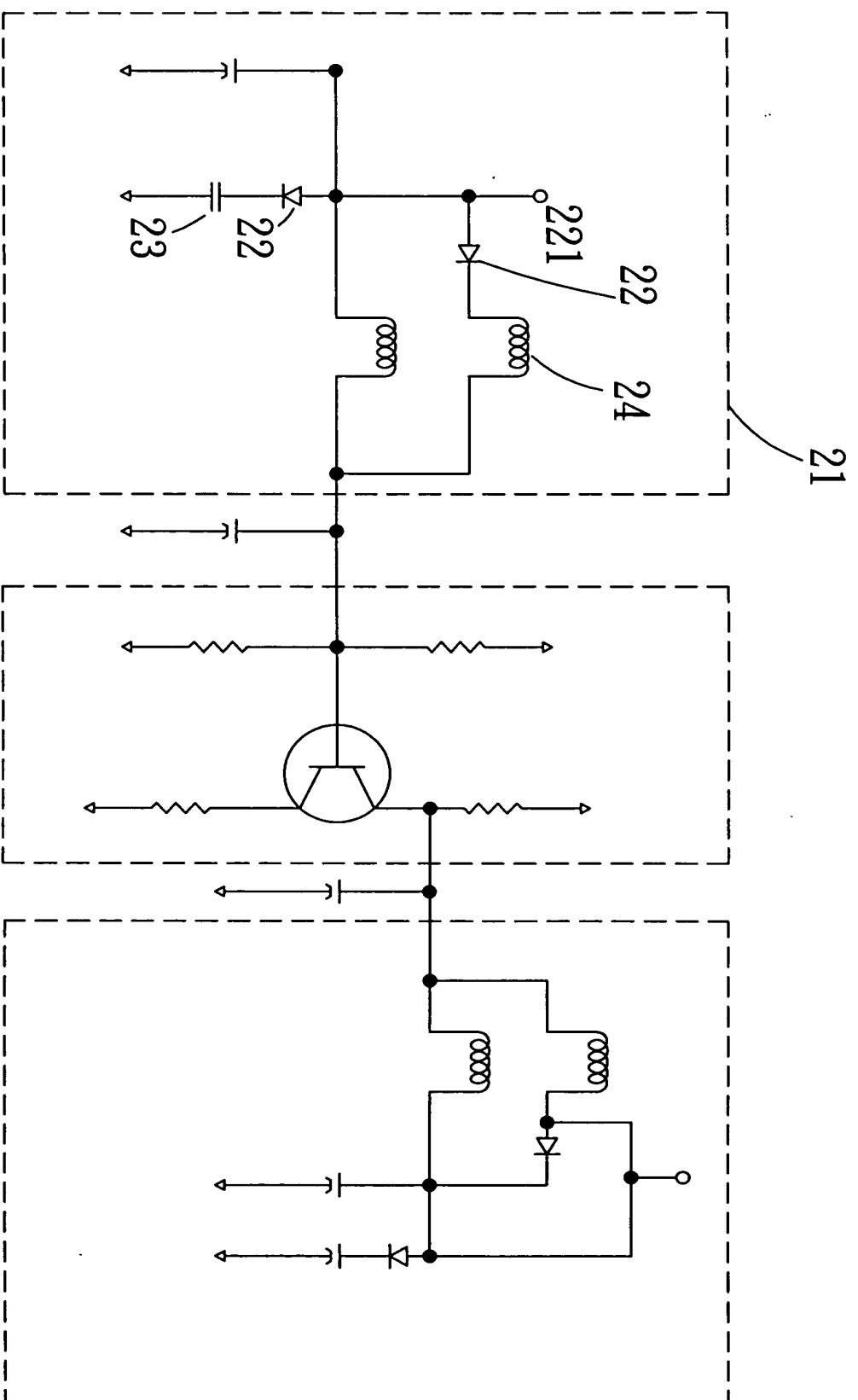
第 21/21 頁



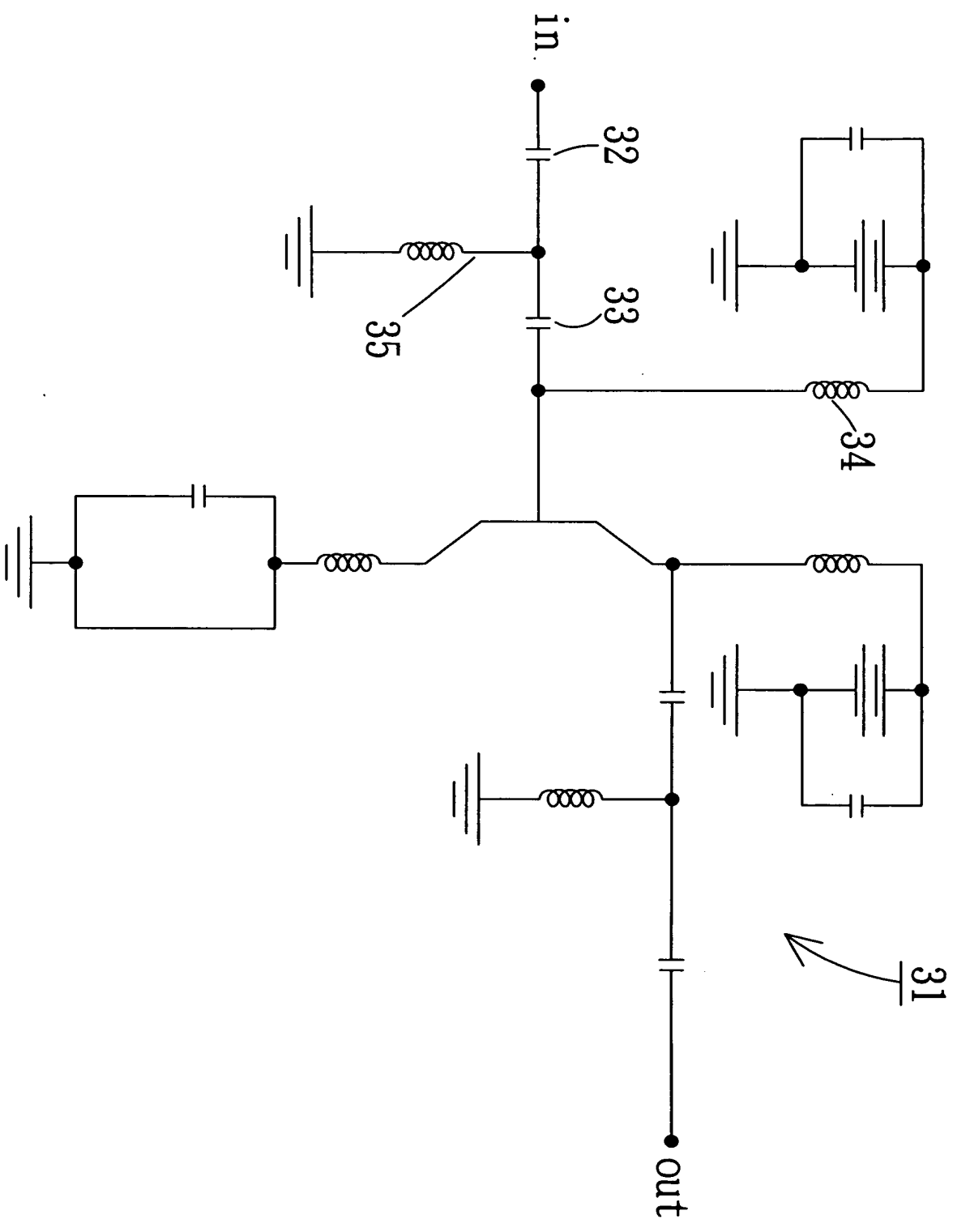
[illegible]



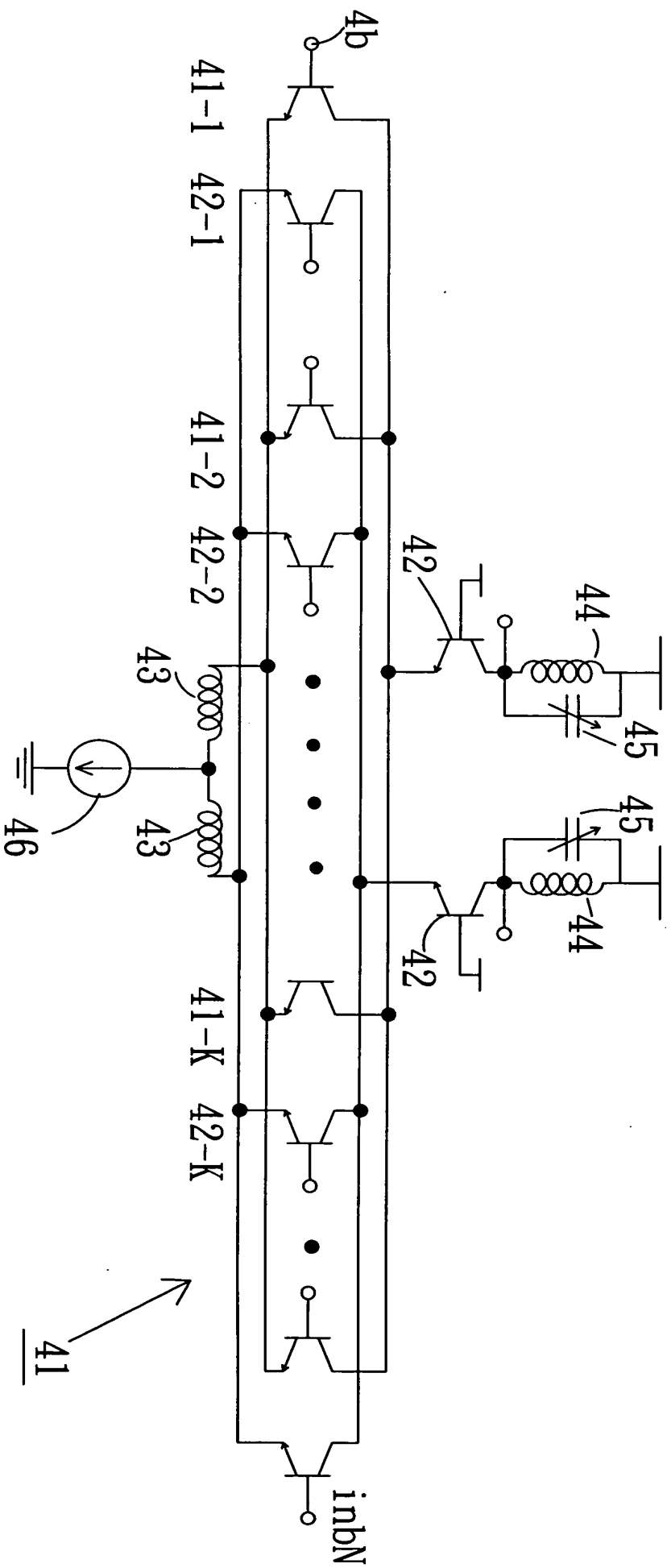
第一圖(習用技術)



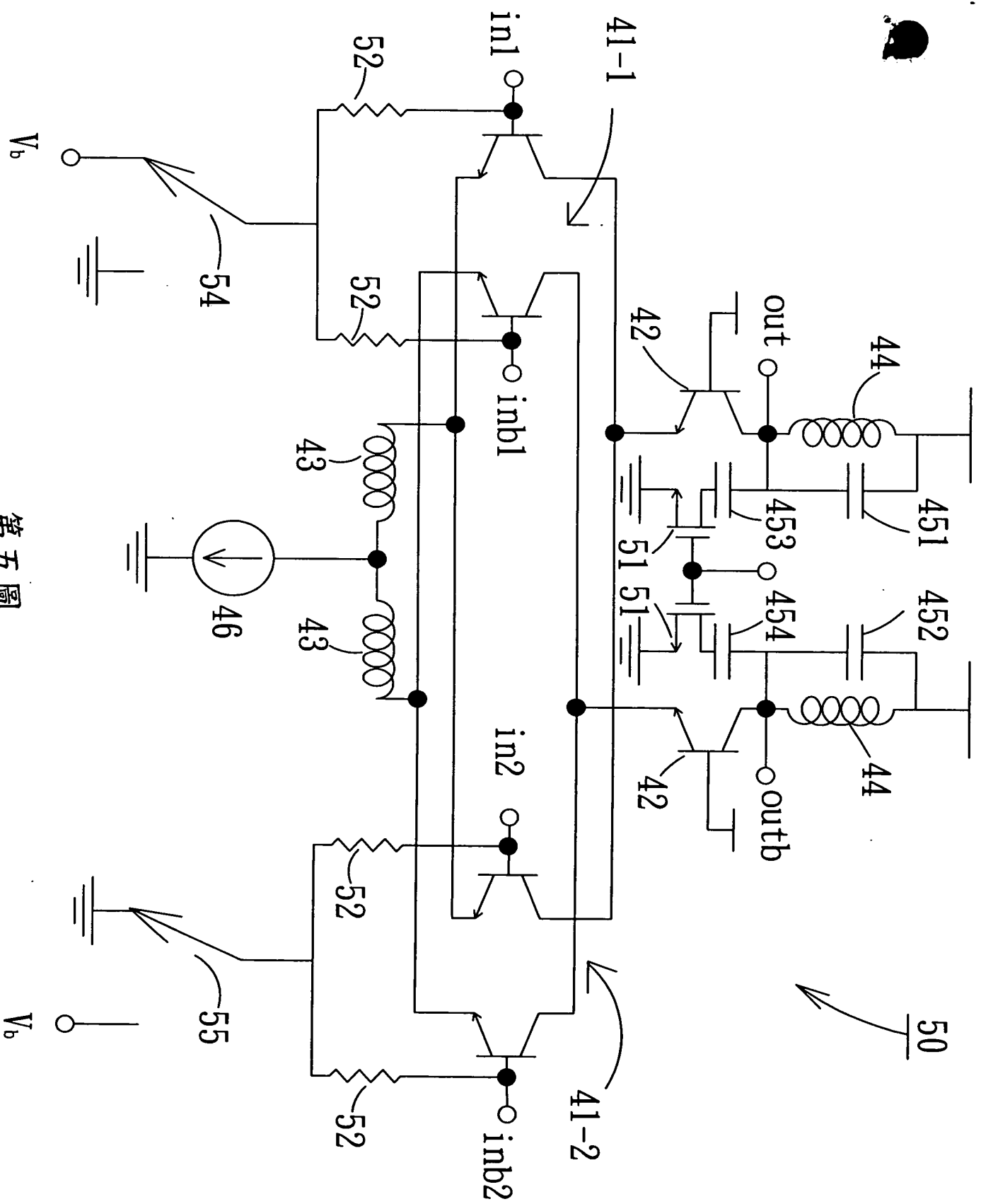
第二圖(習用技術)



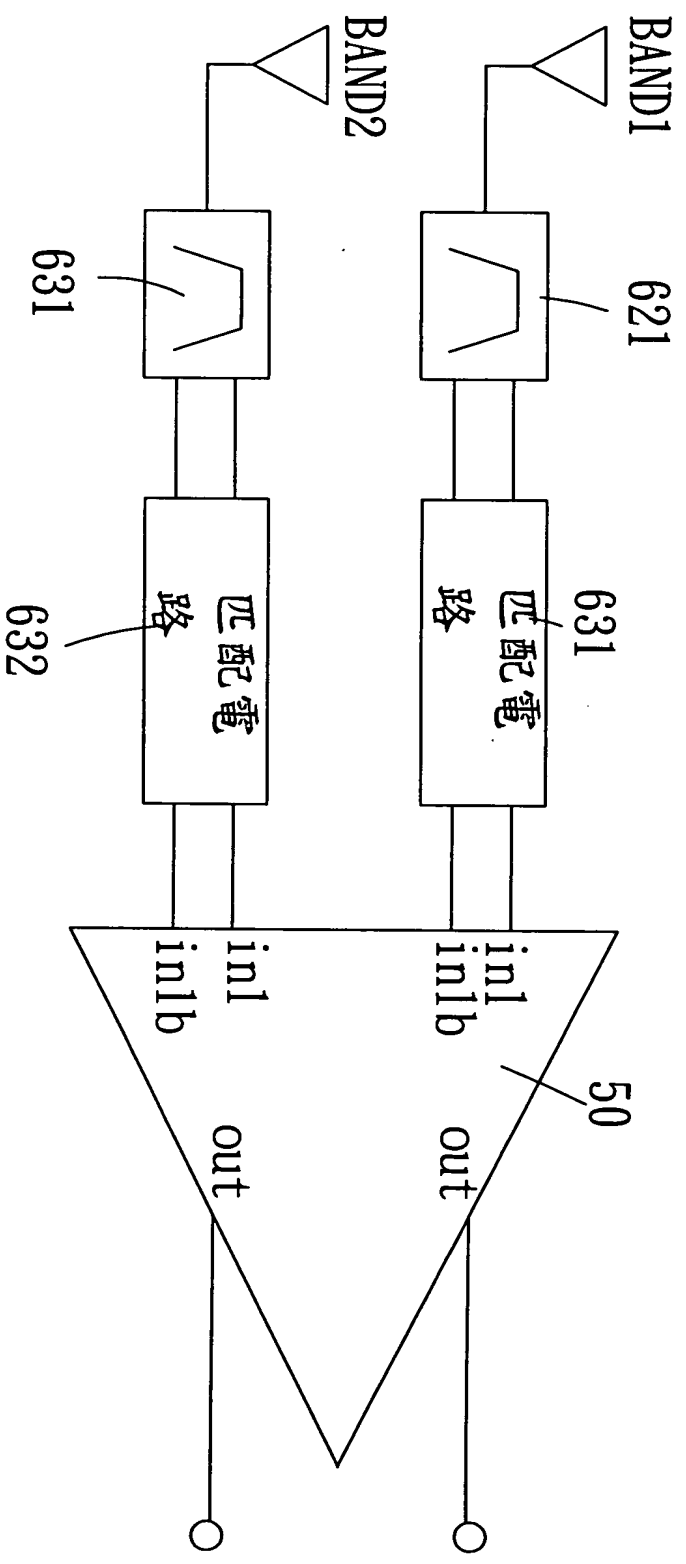
第三圖(習用技術)



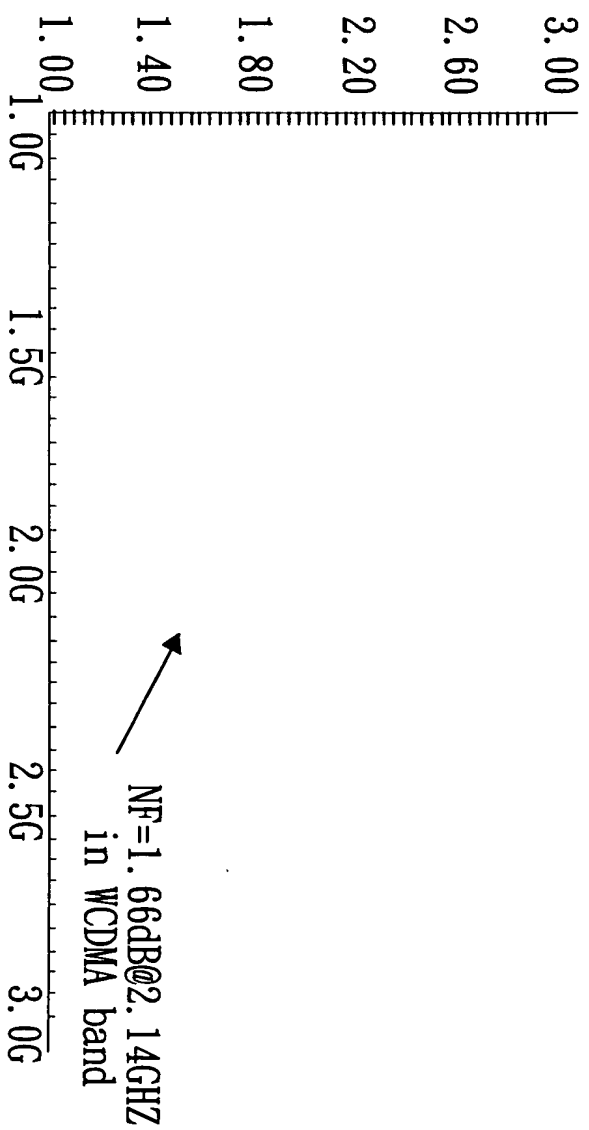
第四圖



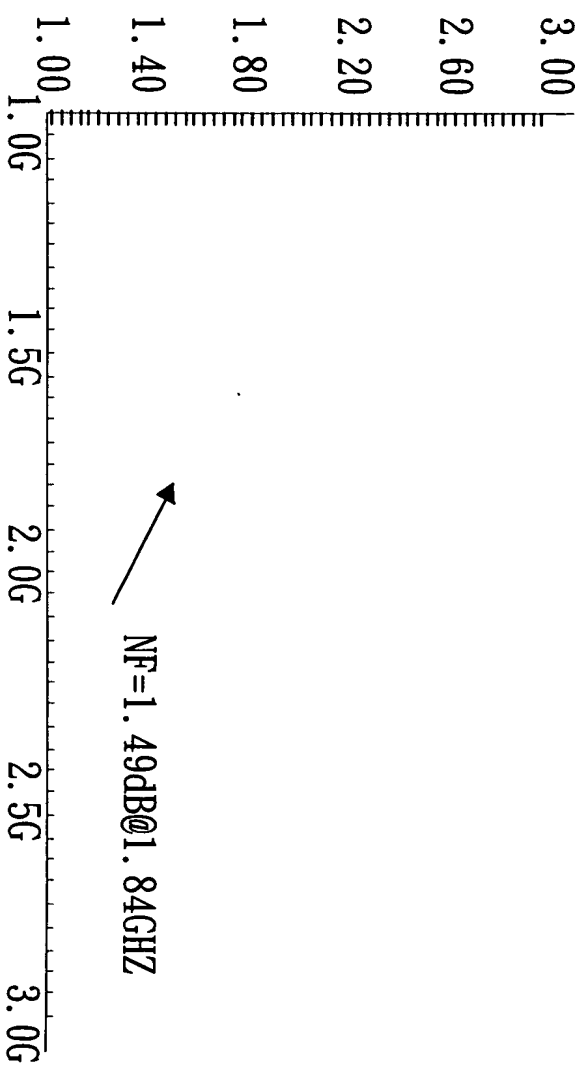
第五圖



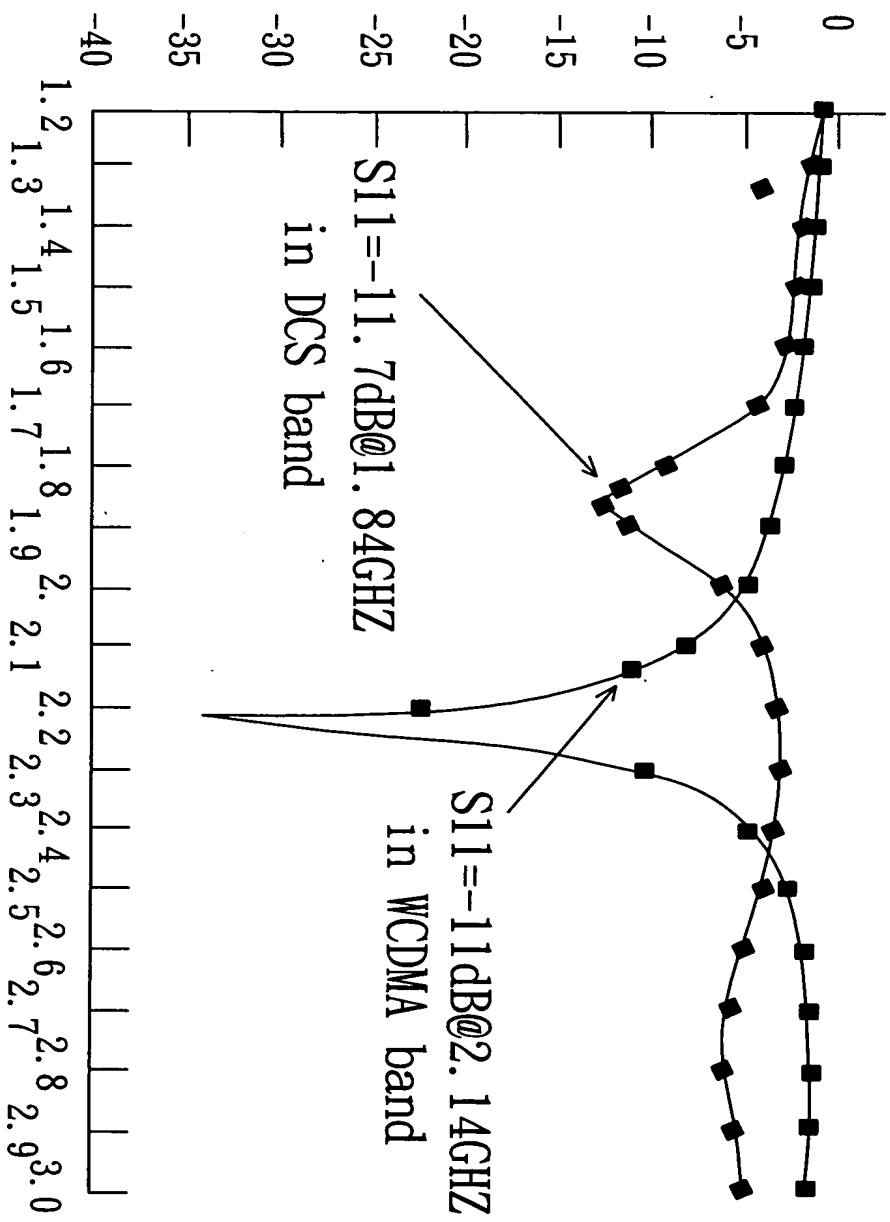
第六圖



第七圖



第八圖



第九圖